

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09321061 A**(43) Date of publication of application: **12.12.97**

(51) Int. Cl

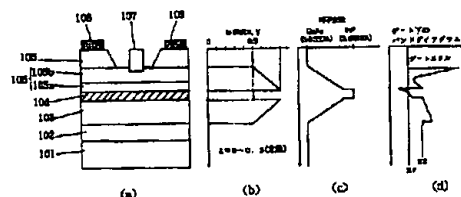
H01L 21/338**H01L 29/812****// H01L 21/205**(21) Application number: **08136513**(71) Applicant: **NEC CORP**(22) Date of filing: **30.05.96**(72) Inventor: **UNOSAWA HIROKIYO**(54) **FIELD EFFECT TRANSISTOR AND
MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a field effect transistor having a high electron confining effect into a channel layer, high mobility and good characteristic by forming a structure having AlGaInP graded layer between which the InGaAs channel layer is held.

SOLUTION: On a semi-insulative GaAs substrate 101 a buffer layer 102, first $(\text{Al}_2\text{Ga}_{1-2})_{1-x}\text{In}_x\text{P}$ graded layer 103 with the In content increasing away from the film 102 and $\text{In}_y\text{Ga}_{1-y}\text{As}$ channel layer 103 are formed. A second $(\text{Al}_2\text{Ga}_{1-2})_{1-x}\text{In}_x\text{P}$ graded layer 105 with the In content decreasing away from the film 104, GaAs cap layer 106, source electrodes 108, drain electrodes 109 and gate electrodes 107 are provided thereon. The Al compsn. x in the graded layers 103, 105 is 0-0.5 and In compsn. y in the layer 104 is 0.2-0.6.

COPYRIGHT: (C)1997,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321061

(43) 公開日 平成9年(1997)12月12日

(51) Int. Cl. [°]	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338		9447-4 M	H 0 1 L 29/80	B.
			21/205	
// H 0 1 L 21/205		9447-4 M	29/80	F

審査請求 有 請求項の数 5 O L (全6頁)

(21) 出願番号 特願平8-136513

(22) 出願日 平成8年(1996)5月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 宇野沢 浩精

東京都港区芝五丁目7番1号 日本電気株式
会社内

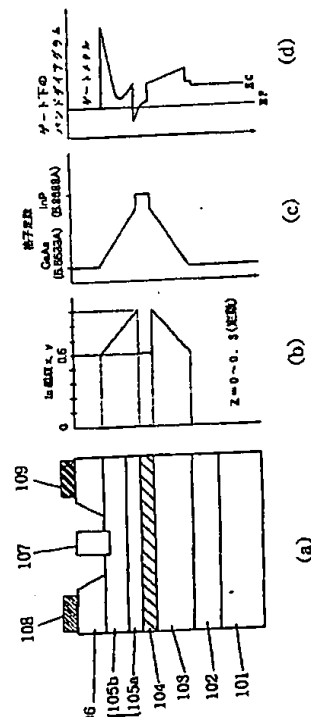
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 チャネル層への電子の閉じこめ効果が大きく且つ移動度が高い、良好な特性を有する電界効果トランジスタを提供する。

【解決手段】 半絶縁性GaAs基板と、該基板上に形成されたGaAsに格子整合するバッファ層と、該バッファ層上に該バッファ層から離れるにしたがってIn組成を徐々に上げて形成された $(Al_{1-z}Ga_z)_{1-x}In_xP$ からなる第1のグレーディッド層と、該第1のグレーディッド層上に形成された $In_yGa_{1-y}As$ からなるチャネル層と、該チャネル層上に該チャネル層から離れるにしたがってIn組成を徐々に下げて形成された $(Al_{1-z}Ga_z)_{1-x}In_xP$ からなる第2のグレーディッド層と、該第2のグレーディッド層上に形成されたGaAsからなるキャップ層と、該キャップ層上に形成されたソース電極およびドレイン電極と、ゲート電極とからなる電界効果トランジスタ。



【特許請求の範囲】

【請求項1】 半絶縁性GaAs基板と、該半絶縁性GaAs基板上に形成されたGaAsに格子整合する高抵抗の半導体結晶からなるバッファ層と、該バッファ層上に該バッファ層から離れるにしたがってIn組成を徐々に上げて形成された $(Al_zGa_{1-z})_{1-x}In_xP$ 半導体結晶からなる第1のグレーディッド層と、該第1のグレーディッド層上に形成された $In_yGa_{1-y}As$ 半導体結晶からなるチャンネル層と、該チャンネル層上に該チャンネル層から離れるにしたがってIn組成を徐々に下げて形成された $(Al_zGa_{1-z})_{1-x}In_xP$ 半導体結晶からなる第2のグレーディッド層と、該第2のグレーディッド層上に形成されたGaAsからなるキャップ層と、該キャップ層上に形成されたソース電極およびドレイン電極と、該ソース電極およびドレイン電極間に該キャップ層を除去して形成されたゲート電極とからなる電界効果トランジスタであって、前記第1及び第2のグレーディッド層におけるAl組成zが0~0.5であり、前記チャンネル層におけるIn組成yが0.2~0.6であることを特徴とする電界効果トランジスタ。

【請求項2】 チャンネル層との境界面における第1のグレーディッド層および第2のグレーディッド層のそれぞれのバンドギャップがいずれもチャンネル層におけるバンドギャップよりも大きくなるように、チャンネル層との境界面における第1のグレーディッド層および第2のグレーディッド層のそれぞれのIn組成が制御されていることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】 第1のグレーディッド層および第2のグレーディッド層の少なくとも一方が、そのチャンネル層側に、ドーピングが施されたn型の電子供給層を有することを特徴とする請求項1又は2記載の電界効果トランジスタ。

【請求項4】 第2のグレーディッド層が、そのチャンネル層側に、ドーピングが施されたn型の電子供給層を有し、チャンネル層が、ドーピングが施されたn型のチャンネル層であることを特徴とする請求項1又は2記載の電界効果トランジスタ。

【請求項5】 請求項1~4のいずれか1項に記載の電界効果トランジスタの製造方法において、キャップ層の所定部分をリン酸系エッチング液でエッチング除去してリセスを形成し、該リセスを形成したところにゲート電極を形成することを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、InGaAsをチャンネル層とした電界効果トランジスタ（以下「FET」という。）に関し、特に高周波で動作するFET、及びその製造方法に関する。

【0002】

【従来の技術】InGaAsは、電子移動度が大きく、さらにIn組成を大きくすることで電子移動度が大きくなることが知られている。このため、FETのチャンネル層にInGaAsを用いることが研究されている。

【0003】しかし、GaAs基板とInGaAsとは格子定数が異なるため、直接GaAs基板上にInGaAs層を成長させる場合、In組成を大きくすると格子不整合が大きくなりInGaAs層の結晶成長が困難となり、In組成を小さくしても成長膜厚を厚く形成することができないという問題があった。

【0004】特開平4-326734号公報に上記の問題を解決する技術が開示されている。以下、図面を用いて説明する。

【0005】図4は、従来のFETの一構造例を示す断面図である。本従来例は、GaAs基板（401）上にノンドープGaAsからなるバッファ層（402）が厚さ500nmで形成され、このバッファ層上に、GaAsからIn組成が徐々に上げられ最上面においてはIn組成yが0.15となっているノンドープ $In_yGa_{1-y}As$ からなる第1のグレーディッド層（403）が厚さ5nmで形成されている。このグレーディッド層上には、Siが均一にドーピングされたn型 $In_yGa_{1-y}As$ （y=0.15、 $n=4 \times 10^{18} \text{ cm}^{-3}$ ）からなるチャンネル層（404）が厚さ5nmで形成され、このチャンネル層上には、In組成yが0.15から徐々に下げられ最上面においてはGaAsとなっている $In_yGa_{1-y}As$ からなる第2のグレーディッド層（405）が厚さ5nmで形成されている。このグレーディッド層上にはGaAsからなるキャップ層（406）が厚さ40nmで形成され、このキャップ層上にはゲート電極（407）、ソース電極（408）及びドレイン電極（409）がそれぞれ形成されている。

【0006】

【発明が解決しようとする課題】しかしながら、チャンネル層（404）を第1及び第2のグレーディッド層（403、405）で挟んだ構成の上記従来のFETでは、チャンネル層（404）とそれを挟むグレーディッド層（403、405）との結晶組成が同じであるため、エネルギーダイアグラムでも示されているようにチャンネル層とグレーディッド層との境界でのバンドの変化がなだらかになり、チャンネル層内への電子の閉じ込め効果が悪い。すなわち、チャンネル層近傍に流れる電子とチャンネル層内を流れる電子が併存することになり、Siが高濃度ドーピングされたチャンネル層の低い飽和電子速度が影響し、高いトランスコンダクタンスは期待できない。

【0007】そこで本発明の目的は、上記の問題を解決し、チャンネル層への電子の閉じこめ効果が大きく且つ移動度が高い、良好なFET特性を有するFETを提供することである。

【0008】

【課題を解決するための手段】本発明者は、上記の目的を達成するために種々の検討を重ねた結果、本発明を完成した。

【0009】第1の発明は、半絶縁性GaAs基板と、該半絶縁性GaAs基板上に形成されたGaAsに格子整合する高抵抗の半導体結晶からなるバッファ層と、該バッファ層上に該バッファ層から離れるにしたがってIn組成を徐々に上げて形成された $(Al_zGa_{1-z})_{1-x}In_xP$ 半導体結晶からなる第1のグレーディッド層と、該第1のグレーディッド層上に形成された $In_yGa_{1-y}As$ 半導体結晶からなるチャネル層と、該チャネル層上に該チャネル層から離れるにしたがってIn組成を徐々に下げて形成された $(Al_zGa_{1-z})_{1-x}In_xP$ 半導体結晶からなる第2のグレーディッド層と、該第2のグレーディッド層上に形成されたGaAsからなるキャップ層と、該キャップ層上に形成されたソース電極およびドレイン電極と、該ソース電極およびドレイン電極間に該キャップ層を除去して形成されたゲート電極とからなる電界効果トランジスタであって、前記第1及び第2のグレーディッド層におけるAl組成zが0~0.5であり、前記チャネル層におけるIn組成yが0.2~0.6であることを特徴とする電界効果トランジスタに関する。

【0010】第2の発明は、チャネル層との境界面における第1のグレーディッド層および第2のグレーディッド層のそれぞれのバンドギャップがいずれもチャネル層におけるバンドギャップよりも大きくなるように、チャネル層との境界面における第1のグレーディッド層および第2のグレーディッド層のそれぞれのIn組成が制御されていることを特徴とする第1の発明の電界効果トランジスタに関する。

【0011】第3の発明は、第1のグレーディッド層および第2のグレーディッド層の少なくとも一方が、そのチャネル層側に、ドーピングが施されたn型の電子供給層を有することを特徴とする第1又は第2の発明の電界効果トランジスタに関する。

【0012】第4の発明は、第2のグレーディッド層が、そのチャネル層側に、ドーピングが施されたn型の電子供給層を有し、チャネル層が、ドーピングが施されたn型のチャネル層であることを特徴とする第1又は第2の発明の電界効果トランジスタに関する。

【0013】第5の発明は、第1~第4のいずれかの発明の電界効果トランジスタの製造方法において、キャップ層の所定部分をリン酸系エッチング液でエッチング除去してリセスを形成し、該リセスを形成したところにゲート電極を形成することを特徴とする電界効果トランジスタの製造方法に関する。

【0014】以上の発明において、グレーディッド層のAl組成zは0~0.5であることが必要であるが、

い。

【0015】また、チャネル層のIn組成yは0.2~0.6であることが必要であるが、格子整合の点から0.5~0.6がより好ましい。

【0016】

【発明の実施の形態】以下、本発明を図面を参照しながら詳細に説明する。

【0017】実施形態1

図1に、本発明の第1の実施形態のFETを構成する半導体結晶の積層構造(図1(a))、この積層構造中のIn組成(図1(b))、格子定数(図1(c))及びゲート下のバンドダイアグラム(図1(d))を示す。図中、EFはフェルミレベル、ECはコンダクションレベルを示す。ゲートメタルは、アルミニウム又はタンゲステンシリサイト等が用いられる。

【0018】本実施形態の半導体結晶は、まず、例えば有機金属気相成長法(以下「MOVPE法」という。)により、半絶縁性のGaAs[100]基板(101)上に厚さ300nmのアンダーブGaAs(バックグラウンド濃度 $p \leq 2 \times 10^{-15} \text{ cm}^{-3}$)と厚さ100nmのアンダーブ $Al_{0.2}Ga_{0.8}As$ (バックグラウンド濃度 $p \leq 3 \times 10^{-15} \text{ cm}^{-3}$)とからなるバッファ層(102)を形成する。このバッファ層上に、GaAsに格子整合する $(Al_zGa_{1-z})_{0.5}In_{0.5}P$ (例えばz=0.4)からIn組成を徐々に上げて $(Al_zGa_{1-z})_{0.2}In_{0.8}P$ まで組成が変化する第1のグレーディッド層(103)をアンダーブで厚さ50nmに形成する。次いで、厚さ13nmのアンダーブ $In_{0.5}Ga_{0.5}As$ からなるチャネル層(104)を形成し、このチャネル層上に、 $(Al_zGa_{1-z})_{0.2}In_{0.8}P$ (例えばz=0.4)からIn組成を徐々に下げて $(Al_zGa_{1-z})_{0.5}In_{0.5}P$ まで組成が変化する第2のグレーディッド層(105)を厚さ50nmで形成する。このグレーディッド層のうちチャネル層側から厚さ15nmの領域を $n=3 \times 10^{18} \text{ cm}^{-3}$ のSiドーピングを行いn型の電子供給層(105a)を形成し、15nmから50nmの領域を $n=1 \times 10^{17} \text{ cm}^{-3}$ のSiドーピングを行いn型グレーディッド層(105b)を形成する。次に、 $n=3 \times 10^{18} \text{ cm}^{-3}$ のSiドーピングを行ったGaAs(n型GaAs)からなるキャップ層(106)を厚さ80nmで形成する。続いて、キャップ層をエッチングしてリセスを形成し、リセスを形成したところにゲート電極(107)を形成し、そしてゲート電極の両側にあるキャップ層上にそれぞれオーミック電極を形成することによりソース電極(108)及びドレイン電極(109)を形成する。

【0019】キャップ層をエッチングしてリセスを形成する際のエッチング液は、リン酸系のもの(H_3PO_4/H_2O_2 水溶液/ $H_2O=1/1/3$ (容量比))を用い

($\text{Al}_{0.4}\text{Ga}_{0.6}$) $_{0.5}\text{In}_{0.5}\text{P}$ のエッチングレートは $0.09\mu\text{m}/\text{min}$ であり、選択エッチングが容易であった。なお、エッチング液は、上記組成のもの以外に通常のリン酸系エッチング液を用いることができる。

【0020】実施形態2

図2に、本発明の第2の実施形態のFETを構成する半導体結晶の積層構造(図2(a))、この積層構造中のIn組成(図2(b))、格子定数(図2(c))及びゲート下のバンドダイアグラム(図2(d))を示す。

【0021】本実施形態の半導体結晶は、まず、例えば MOVPE法により、半絶縁性のGaAs[100]基板(201)上に厚さ300nmのアンドープGaAs(バックグラウンド濃度 $p \leq 2 \times 10^{-15}\text{cm}^{-3}$)と厚さ100nmのアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ (バックグラウンド濃度 $p \leq 3 \times 10^{-15}\text{cm}^{-3}$)とからなるバッファ層(202)を形成する。このバッファ層上に、GaAsに格子整合する($\text{Al}_z\text{Ga}_{1-z}$) $_{0.5}\text{In}_{0.5}\text{P}$ (例えば $z=0.4$)からIn組成を徐々に上げて($\text{Al}_z\text{Ga}_{1-z}$) $_{0.2}\text{In}_{0.8}\text{P}$ まで組成が変化する第1のグレーディッド層(203)をアンドープで厚さ50nmに形成する。このグレーディッド層のうちバッファ層側から厚さ45nmまでの領域をアンドープグレーディッド層(203b)とし、45nmから50nmの領域を $n=3 \times 10^{18}\text{cm}^{-3}$ のSiドーピングを行いn型電子供給層(203a)を形成する。次いで、この第1のグレーディッド層(203)上に厚さ13nmのアンドープ $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ からなるチャネル層(204)を形成し、このチャネル層上に、($\text{Al}_z\text{Ga}_{1-z}$) $_{0.2}\text{In}_{0.8}\text{P}$ (例えば $z=0.4$)からIn組成を徐々に下げて($\text{Al}_z\text{Ga}_{1-z}$) $_{0.5}\text{In}_{0.5}\text{P}$ まで組成が変化する第2のグレーディッド層(205)を厚さ50nmに形成する。このグレーディッド層のうちチャネル層側から厚さ12nmの領域を $n=3 \times 10^{18}\text{cm}^{-3}$ のSiドーピングを行いn型電子供給層(205a)を形成し、12nmから50nmの領域を $n=1 \times 10^{17}\text{cm}^{-3}$ のSiのドーピングを行いn型グレーディッド層(205b)を形成する。次に、 $n=3 \times 10^{18}\text{cm}^{-3}$ のSiドーピングを行ったGaAs(n型GaAs)からなるキャップ層(206)を厚さ80nmに形成する。続いて、キャップ層をエッチングしてリセスを形成し、リセスを形成したところにゲート電極(207)を形成し、そしてゲート電極の両側にあるキャップ層上にそれぞれオーミック電極を形成することによりソース電極(208)及びドレイン電極(209)を形成する。

【0022】実施形態3

図3に、本発明の第3の実施形態のFETを構成する半導体結晶の積層構造(図3(a))、この積層構造中のIn組成(図3(b))、格子定数(図3(c))及びゲート下のバンドダイアグラム(図3(d))を示す。

【0023】本実施形態の半導体結晶は、まず、例えば

MOVPE法により、半絶縁性のGaAs[100]基板(301)上に厚さ300nmのアンドープGaAs(バックグラウンド濃度 $p \leq 2 \times 10^{-15}\text{cm}^{-3}$)と厚さ100nmのアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ (バックグラウンド濃度 $p \leq 3 \times 10^{-15}\text{cm}^{-3}$)とからなるバッファ層(302)を形成する。このバッファ層上に、GaAsに格子整合する($\text{Al}_z\text{Ga}_{1-z}$) $_{0.5}\text{In}_{0.5}\text{P}$ (例えば $z=0.4$)からIn組成を徐々に上げて($\text{Al}_z\text{Ga}_{1-z}$) $_{0.2}\text{In}_{0.8}\text{P}$ まで組成が変化する第1のグレーディッド層(303)をアンドープで厚さ50nmに形成する。次いで、 $n=1 \times 10^{18}\text{cm}^{-3}$ のSiドーピングを行った $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ からなるn型のチャネル層(304)を厚さ13nmで形成した。このチャネル層上に、($\text{Al}_z\text{Ga}_{1-z}$) $_{0.2}\text{In}_{0.8}\text{P}$ (例えば $z=0.4$)からIn組成を徐々に下げて($\text{Al}_z\text{Ga}_{1-z}$) $_{0.5}\text{In}_{0.5}\text{P}$ まで組成が変化する第2のグレーディッド層(305)を厚さ50nmに形成する。このグレーディッド層のうちチャネル層側から厚さ1.5nmの領域を $n=3 \times 10^{18}\text{cm}^{-3}$ のSiドーピングを行いn型電子供給層(305a)を形成し、1.5nmから50nmの領域を $n=1 \times 10^{17}\text{cm}^{-3}$ のSiのドーピングを行いn型グレーディッド層(305b)を形成する。次に、 $n=3 \times 10^{18}\text{cm}^{-3}$ のSiドーピングを行ったGaAs(n-GaAs)からなるキャップ層(306)を厚さ80nmに形成する。続いて、キャップ層をエッチングしてリセスを形成し、リセスを形成したところにゲート電極(307)を形成し、そしてゲート電極の両側にあるキャップ層上にそれぞれオーミック電極を形成することによりソース電極(308)及びドレイン電極(309)を形成する。

【0024】本発明において電子供給層を設けることにより、ドーピング領域のドナー不純物から発生した電子がチャネル層へ移動し、チャネル層内を走行する。このような電子供給層のキャリア濃度が高くなると電流も大きくなり、ゲートとチャネルまでの距離も近くなるので、トランスコンダクタンス(gm)が大きくなる。

【0025】前記の実施形態1及び2のFETでは、チャネル層にアンドープ $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ を用いていることから、室温での移動度は $1 \times 10^4\text{cm}^2/\text{V} \cdot \text{s}$ 以上を示した。

【0026】また、実施形態1、2及び3において、チャネル層は、チャネル層よりもバンドギャップが約0.8eV大きい($\text{Al}_z\text{Ga}_{1-z}$) $_{1-x}\text{In}_x\text{P}$ (例えば $z=0.4$)からなるグレーディッド層で挟まれているため、電子に対する閉じこめ効果が高まり、シート電子濃度(Ns)を大きくすることができた。例えば、実施形態1の構造では $Ns=3 \times 10^{12}\text{cm}^{-2}$ 、実施形態2の構造では $Ns=4.5 \times 10^{12}\text{cm}^{-2}$ 、実施形態3の構造では $Ns=4.3 \times 10^{12}\text{cm}^{-2}$ であった。

ーディッド層(103、203、303)とのバンドギャップ差のため、基板への漏れ電流も低減できる。

【0028】これらの結果、FET特性としては、表1に示すような最大電流(I_{max})、トランスコンダクタンス(g_m)及びドレインコンダクタンス(g_d)を示すFETが得られた。

【0029】なお、本発明における半導体結晶の成長法は、MOVPE法以外にも有機金属分子線エピタキシー(MOMBE)法でも可能である。

【0030】

【表1】

表1

	I_{max} (mA/mm)	g_m (mS/mm)	g_d (mS/mm)
実施形態1	550	400	0.013
実施形態2	650	500	0.008
実施形態3	600	450	0.010

【0031】

【発明の効果】以上の説明から明らかなように本発明によれば、 $In_xGa_{1-x}As$ からなるチャネル層を(A1 20 $zGa_{1-z})_{1-x}In_xP$ からなるグレーディッド層で挟む構造としたことによって、特にチャネル層にアンドープの $In_xGa_{1-x}As$ を用いた場合(実施形態1及び2)は、高い移動度を示す。

【0032】また、実施形態3のFETのようにチャネル層に不純物をドーピングすると、シート電子濃度(N_s)が大きくなり、電流を稼ぐことができ、高出力のFETを得ることができる。

【0033】本発明におけるFETのチャネル層は、チャネル層よりもバンドギャップが大きい(A1 30 $zGa_{1-z})_{1-x}In_xP$ からなるグレーディッド層で挟まれているため、電子に対する閉じこめ効果が高まり、シート電子濃度(N_s)を大きくすることができる。

【0034】さらに、チャネル層と基板側のグレーディッド層とのバンドギャップ差のため、基板への漏れ電流も低減できる。

【0035】本発明のFETは、グレーディッド層の結晶組成比を傾斜させているため、また、バッファ層を二層化しているため、GaAs基板とチャネル層との格子整合性が高められている。またバッファ層の二層化によって、基板側へのリーク電流が抑えられ、サイドゲートエフェクトやバックゲート効果を小さくすることができる。

【0036】これらの結果、例えばトランスコンダクタンス(g_m)が400~500mS/mm、ドレインコンダクタンス(g_d)が0.008~0.13mS/mmといった良好なFET特性が得られた。

【0037】FETの製造プロセスにおいては、キャップ層をエッチングしてリセスを形成する際のエッチング

液にリン酸系のものを用いると、キャップ層とグレーディッド層のエッチングレートには50倍程度の差があり、選択エッチングが容易であった。また、本発明のFETは、GaAs基板を用い、InPに格子整合する $InGaAs$ を積層した構成をとることから、InP基板を用いた場合よりも安価にトランジスタやIC等を作製することが可能である。

【図面の簡単な説明】

【図1】本発明の電界効果トランジスタを構成する半導体結晶の説明図である。

【図2】本発明の電界効果トランジスタを構成する半導体結晶の説明図である。

【図3】本発明の電界効果トランジスタを構成する半導体結晶の説明図である。

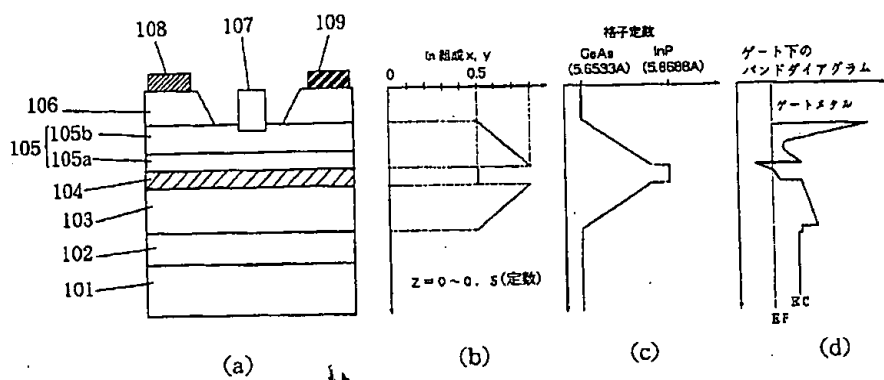
【図4】従来の電界効果トランジスタを構成する半導体結晶の説明図である。

【符号の説明】

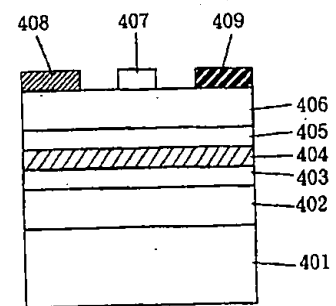
101、201、301、401 GaAs基板
102、202、302、402 バッファ層
103、203、303、403 第1のグレーディッド層
104、204、304、404 チャネル層
105、205、305、405 第2のグレーディッド層
105a、203a、205a、305a n型電子供給層
105b、205b、305b n型グレーディッド層
106、206、306、406 キャップ層
107、207、307、407 ゲート電極
108、208、308、408 ソース電極
109、209、309、409 ドレイン電極
203b アンドープグレーディッド層

(6)

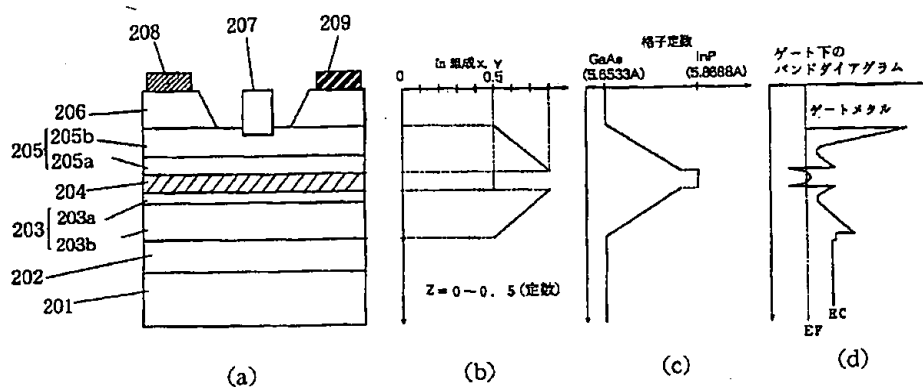
【図1】



【図4】



【図2】



【図3】

